

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-170606

(43)Date of publication of application : 26.06.1998

(51)Int.Cl.

G01R 31/28
H01L 27/04
H01L 21/822

(21)Application number : 08-329429

(71)Applicant : SONY CORP

(22)Date of filing : 10.12.1996

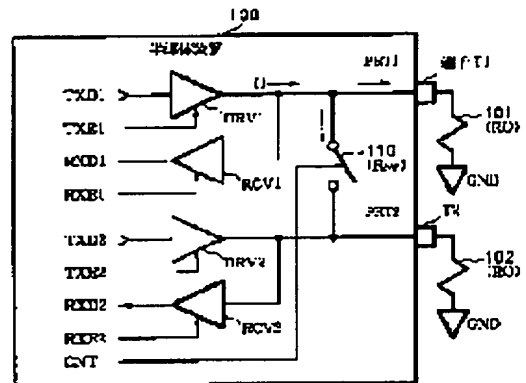
(72)Inventor : MIURA KIYOSHI

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To easily perform a loop back test by a high speed signal in a short time without requiring a special equipment by switching connection between ports by a switch, and performing the test by using a driver of a transceiver connected to the other port.

SOLUTION: For example, at a test time of a receiver RCV2, an analog switch 110 is put in a connecting condition by a control signal CNT, and a control signal TXE1 of a driver DRV1 is enabled, and a control signal RXE1 of an RCV1 is disabled, and a TXE2 of a DRV2 is disabled, and an RXE2 of the RCV2 is enabled, and only the DRV1 and the RCV2 are put in an active condition, and a loop back test is performed by a signal passage using an output signal of the DRV1 as a test signal source to the RCV2. In this way, since a test of the RCVs 1 and 2 in a semiconductor device 100 is performed by using the DRV2 and 1 of a transceiver connected to the other port, a test signal generating tester is obviated.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開平10-170606

(43) 公開日 平成10年(1998) 6月26日

(51) Int.Cl.⁶

識別記号

F I

G 0 1 R 31/28

G 0 1 R 31/28

V

H 0 1 L 27/04

H 0 1 L 27/04

T

21/822

審査請求 未請求 請求項の数7 O L (全 6 頁)

(21) 出願番号

特願平8-329429

(22) 出願日

平成8年(1996)12月10日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 三浦 清志

東京都品川区北品川6丁目7番35号 ソニ

ー株式会社内

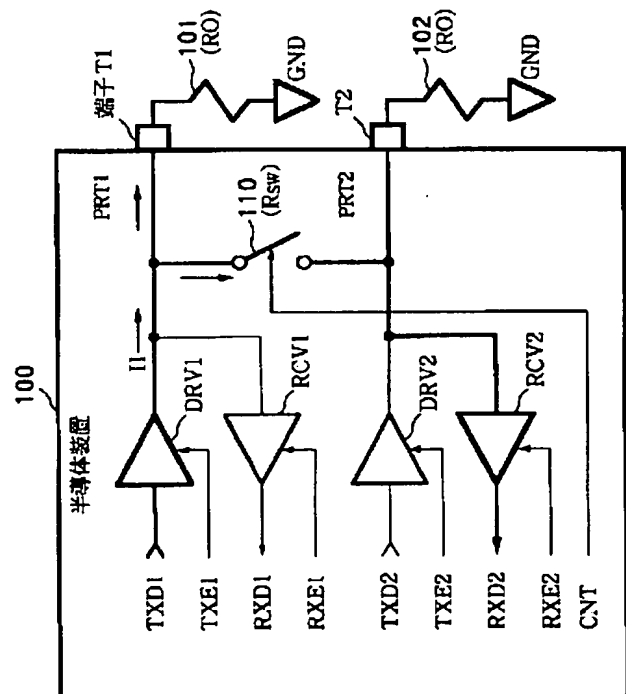
(74) 代理人 弁理士 佐藤 隆久

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 高速信号によるループバックテストを容易に且つより短いテスト時間で、より少ない人的手間で行い、高速信号によるテストをより確実に、より通常動作時に近い状態でテストし得る半導体装置を提供する。

【解決手段】 第1のポートPRT1と第2のポートPRT2間の接続／非接続を切り換えるスイッチ手段110と、スイッチ手段110の接続／非接続の切り換えを制御する制御手段とを設け、一の組の入力回路RCV1またはRCV2のテストを、該組のポートPRT1またはPRT2と出力回路DRV2またはDRV1を備える他の組のポートPRT2またはPRT1間のスイッチ手段110を制御手段の制御により接続状態とすることで、他の組の出力回路DRV2またはDRV1の出力信号を用いて行う。



【特許請求の範囲】

【請求項1】 一のポートに接続される出力回路及び入力回路の組を複数個備えた半導体装置であって、前記一の組のポートと他の組のポート間の接続／非接続を切り換え可能なスイッチ手段と、前記スイッチ手段の接続／非接続の切り換えを制御する制御手段とを有する半導体装置。

【請求項2】 前記制御手段は、前記出力回路及び前記入力回路の動作状態を、それぞれ独立して活性／非活性に制御可能である請求項1記載の半導体装置。

【請求項3】 前記制御手段は、テストモード時に、上記スイッチ手段を接続状態に切り換え、かつ、接続状態にある一の組の出力回路と他の組の入力回路とを活性状態に制御する請求項1記載の半導体装置。

【請求項4】 前記出力回路の駆動能力は、設定可能である請求項1記載の半導体装置。

【請求項5】 前記出力回路は、当該出力回路が接続されるポートと入力回路を備える他の組のポート間のスイッチ手段を前記制御信号により接続状態とした場合の出力信号振幅を、当該スイッチ手段を非接続状態とした場合の出力信号振幅と同じに設定可能である請求項1記載の半導体装置。

【請求項6】 一のポートに接続される出力回路及び入力回路の組を備えた半導体装置であって、テストモード時に、同組も出力回路および入力回路を活性状態に制御する制御手段を有する半導体装置。

【請求項7】 前記入力回路のテストを、前記出力回路の出力信号を用いて行う場合に、テスト時の前記入力回路の入力信号振幅が、前記ポートからのみ信号が供給される時の入力信号振幅と同じとなるよう、前記出力回路の出力信号振幅を設定可能である請求項6記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、一のポートに接続される出力回路及び入力回路の組を備えた半導体装置のテスト技術に係り、特に、ループバックテストの際に特別な設備を必要とせず、高速信号によるループバックテストを容易に且つより短いテスト時間で、しかも、より少ない人的な手間で行うことができ、また、テスト回路の接続構成上でインピーダンス不整合を生じることがなく、高速信号によるテストをより確実に、また、より通常動作時に近い状態でテストし得る半導体装置に関する。

【0002】

【従来の技術】従来、一のポートに接続される出力回路及び入力回路の組を複数個備えた半導体装置においては、一のポートと他のポートとをケーブルを介して接続し、一のポートの出力回路からの出力信号を他のポートの入力回路に供給して、他のポートの入力回路のテストを行

う、いわゆるループバックテストの技術が知られている。

【0003】図3に、従来の半導体装置におけるループバックテスト時の回路構成図を示す。本従来例の半導体装置300では、出力回路をドライバとし、入力回路をレシーバとした構成である。

【0004】また、第1のポートPRT1に第1のドライバDRV10及び第1のレシーバRCV10が、第2のポートPRT2に第2のドライバDRV20及び第2のレシーバRCV20がそれぞれ接続された2ポートのトランシーバを備えた構成である。ここで、半導体装置300の通常動作時には、第1のポートPRT1を出力ポートとして使用する場合は、第1のドライバDRV10の制御信号TXE10をイネーブル、第1のレシーバRCV10の制御信号RXE10をディセーブルとして、第1のドライバDRV10のみを能動的状態として使用する。また、第1のポートPRT1を入力ポートとして使用する場合には、第1のドライバDRV10の制御信号TXE10をディセーブル、第1のレシーバRCV10の制御信号RXE10をイネーブルとして、第1のレシーバRCV10のみを能動的状態として使用する。この出力／入力ポートとするための制御は、第2のポートPRT2についても同様である。

【0005】また、テスト時には、図3に示すように、第1のポートPRT1の端子T1及び第2のポートの端子T2に、それぞれ終端抵抗301、302が当該半導体装置300の外部に接続され、ループバック用ケーブル310がこれら端子T1及びT2間に接続される。尚、終端抵抗301、302の抵抗値R1は、ループバック用ケーブル310の特性インピーダンス値と同値である。

【0006】このような接続構成により、第2のレシーバRCV20のテスト時には、第1のドライバDRV10の制御信号TXE10をイネーブル、第1のレシーバRCV10の制御信号RXE10をディセーブル、また、第2のドライバDRV20の制御信号TXE20をディセーブル、第2のレシーバRCV20の制御信号RXE20をイネーブルとして、第1のドライバDRV10及び第2のレシーバRCV20のみを能動的状態として、第1のドライバDRV10の出力信号を第2のレシーバRCV20に対するテスト用信号源とした、図3中の太線による信号経路によりテストが行われることとなる。

【0007】また、第1のレシーバRCV10のテスト時には、同様に、第2のドライバDRV20及び第1のレシーバRCV10のみを能動的状態として、第2のドライバDRV20の出力信号を第1のレシーバRCV10に対するテスト用信号源とした信号経路によりテストが行われる。

【0008】このように、半導体装置300内のレシー

3

バRCV10, RCV20のテストを、他のポートに接続されるトランシーバのドライバDRV20, DRV10を使用して行うことにより、テスト信号生成用のテストを用意する必要がない。特に、半導体装置300が高速インタフェースチップの場合には、高速信号生成用のテストを用いることなくテストが可能となる。

【0009】

【発明が解決しようとする課題】しかしながら、上記従来の半導体装置においては、ループバックテスト以外のテストを行う場合には、端子T1及びT2の位置に、テストのプロープやドライバを接続することとなるが、テストのプロープ等にケーブル配線が付加された状態となってインピーダンス不整合の原因となり、高速信号の伝搬に影響を及ぼすという問題があった。

【0010】また、実際にループバック用ケーブル310を接続するには、テストのテストボード上にソケットを設ける必要があるが、該ソケットの設置が難しかったり、また、ループバック用ケーブル310の脱着も必要であることから、テスト時間が長くなり、テスト工程の人的な手間も増えるという問題点があった。

【0011】本発明は、かかる事情に鑑みてなされたものであり、その目的は、ループバックテストの際にも特別な設備を必要とせず、高速信号によるループバックテストを容易に且つより短いテスト時間で、しかも、より少ない人的な手間で行い得る半導体装置を提供することにある。

【0012】また本発明の他の目的は、テスト回路の接続構成上でインピーダンス不整合を生じることがなく、高速信号によるテストをより確実に、また、より通常動作時に近い状態でテストし得る半導体装置を提供することにある。

【0013】

【課題を解決するための手段】上記目的を達成するため、本発明は、一のポートに接続される出力回路及び入力回路の組を複数個備えた半導体装置であって、前記一の組のポートと他の組のポート間の接続／非接続を切り換え可能なスイッチ手段と、前記スイッチ手段の接続／非接続の切り換えを制御する制御手段とを有する。

【0014】また、前記制御手段は、前記出力回路及び前記入力回路の動作状態を、それぞれ独立して活性／非活性に制御可能であるまた、前記制御手段は、テストモード時に、上記スイッチ手段を接続状態に切り換え、かつ、接続状態にある一の組の出力回路と他の組の入力回路とを活性状態に制御する。

【0015】また、本発明の半導体装置では、前記出力回路の駆動能力は、設定可能である。

【0016】また、前記出力回路は、当該出力回路が接続されるポートと入力回路を備える他の組のポート間のスイッチ手段を前記制御信号により接続状態とした場合の出力信号振幅を、当該スイッチ手段を非接続状態とし

4

た場合の出力信号振幅と同じに設定可能である。

【0017】また、本発明は、一のポートに接続される出力回路及び入力回路の組を備えた半導体装置であって、テストモード時に、同組も出力回路および入力回路を活性状態に制御する制御手段を有する。

【0018】また、前記入力回路のテストを、前記出力回路の出力信号を用いて行う場合に、テスト時の前記入力回路の入力信号振幅が、前記ポートからのみ信号が供給される時の入力信号振幅と同じとなるよう、前記出力回路の出力信号振幅を設定可能である。

【0019】本発明の半導体装置によれば、テスト時にたとえばスイッチ手段が制御手段により接続状態に制御され、スイッチ手段で接続される一の組の出力回路と他の組の入力回路とが活性状態（動作状態）に制御される。このような状態において、一の組の出力回路の出力信号が他の組の入力回路に対するテスト用信号源とした信号経路によりループバックテストが行われる。また、テスト時には、同様に、他の組の出力回路及び一の組の入力回路のみを活性状態に制御して、他の組の出力回路の出力信号を一の組の入力回路に対するテスト用信号源とした信号経路によりループバックテストを行うことができる。

【0020】このように、半導体装置内の入力回路のテストを、他のポートに接続されるトランシーバの出力回路を使用して行うことにより、テスト信号生成用のテストを用意する必要がなく、特に、半導体装置が高速インタフェースチップの場合には、高速信号生成用のテストを用いることなくループバックテストが可能となる。また、従来のように、ループバックテスト用ケーブルのような特別な設備を必要とせずケーブルの脱着も不要であることから、高速信号によるループバックテストを容易に且つより短いテスト時間で、しかも、より少ない人的な手間で行うことができる。

【0021】更に、ループバックテスト以外のテストを行う場合には、端子位置にテストのプロープやドライバを接続することとなるが、一般的に端子にはテストのプロープ等の特性インピーダンスに整合した終端抵抗が接続されることから、テスト回路の接続構成上でインピーダンス不整合を生じることがなく、高速信号の伝搬に対する不要輻射等による影響も抑制され、高速信号によるテストをより確実に行うことができる。

【0022】また、出力回路の駆動能力が、当該出力回路が接続されるポートと入力回路を備える他の組のポート間のスイッチ手段を前記制御信号により接続状態とした場合の出力信号振幅を、当該スイッチ手段を非接続状態とした場合の出力信号振幅と同じに設定される。これにより、ループバックテスト時の信号経路におけるスイッチ手段のオン抵抗による信号振幅の低下を補償することができ、より通常動作時に近い状態で確実なテストを行うことができる。

5

【0023】また、本発明の半導体装置では、一のポートに接続される出力回路及び入力回路の組を備えた半導体装置において、入力回路のテストを、出力回路の出力信号を用いて行う場合に、該テスト時の入力回路の入力信号振幅が、ポートからのみ信号が供給される時の入力信号振幅と同じとなるよう、出力回路の出力信号振幅が設定される。これにより、高速信号生成用のテストを用いることなくループバックテストが可能となり、高速信号によるループバックテストを容易に且つより短いテスト時間で行うことができ、また、ポートでのループバックによる信号振幅の増大を補償することができ、より通常動作時に近い状態で確実なテストを行うことができる。

【0024】

【発明の実施の形態】以下、本発明の半導体装置の実施形態について、〔実施形態1〕、〔実施形態2〕の順に図面を参照して詳細に説明する。

【0025】〔実施形態1〕図1は本発明の実施形態1に係る半導体装置の構成図である。本実施形態の半導体装置100は、出力回路をドライバとし、入力回路をレシーバとした2ポートのトランシーバの構成である。

【0026】図1において、本実施形態の半導体装置100は、第1のポートPRT1に接続される第1のドライバDRV1及び第1のレシーバRCV1の組と、第2のポートPRT2に接続される第2のドライバDRV2及び第2のレシーバRCV2の組と、第1のポートPRT1と第2のポートPRT2間の接続／非接続を切り換えるアナログスイッチ110と、アナログスイッチ110の接続／非接続の切り換えを制御する制御信号CNTとを備えて構成されている。

【0027】ここで、ドライバDRV1、DRV2及びレシーバRCV1、RCV2の回路の動作状態は、それぞれ独立の制御信号により活性／非活性に制御可能である。即ち、第1のドライバDRV1は制御信号TXE1をイネーブルとすることにより、データTXD1を第1のポートPRT1にドライブし、第1のレシーバRCV1は制御信号RXE1をイネーブルとすることにより、第1のポートPRT1に供給される信号をデータRXD1として取り込む。同様に、第2のドライバDRV2は制御信号TXE2をイネーブルとすることにより、データTXD2を第2のポートPRT2にドライブし、第2のレシーバRCV2は制御信号RXE2をイネーブルとすることにより、第2のポートPRT2に供給される信号をデータRXD2として取り込む。

【0028】このような構成の本実施形態の半導体装置では、一の組のレシーバRCV1またはRCV2のテストを、この組のポートPRT1またはPRT2とドライバDRV2またはDRV1を備える他の組のポートPRT2またはPRT1間のアナログスイッチ110を制御信号CNTにより接続状態とすることで、他の組のドラ

6

イバDRV2またはDRV1の出力信号を用いて行うようにしている。

【0029】つまり、第2のレシーバRCV2のテスト時には、アナログスイッチ110を制御信号CNTにより接続状態とし、また、第1のドライバDRV1の制御信号TXE1をイネーブル、第1のレシーバRCV1の制御信号RXE1をディセーブル、また、第2のドライバDRV2の制御信号TXE2をディセーブル、第2のレシーバRCV2の制御信号RXE2をイネーブルとして、第1のドライバDRV1及び第2のレシーバRCV2のみを能動的状態とし、第1のドライバDRV1の出力信号を第2のレシーバRCV2に対するテスト用信号源とした信号経路によりループバックテストを行うこととしている。

【0030】また、第1のレシーバRCV1のテスト時には、同様に、アナログスイッチ110を制御信号CNTにより接続状態とし、第2のドライバDRV2及び第1のレシーバRCV1のみを能動的状態として、第2のドライバDRV2の出力信号を第1のレシーバRCV1に対するテスト用信号源とした信号経路によりループバックテストを行う。

【0031】このように、本実施形態の半導体装置100では、半導体装置100内のレシーバRCV1、RCV2のテストを、他のポートに接続されるトランシーバのドライバDRV2、DRV1を使用して行うことにより、テスト信号生成用のテストを用意する必要がなく、特に、半導体装置100が高速インタフェースチップの場合には、高速信号生成用のテストを用いることなくループバックテストが可能となる。

【0032】また、従来（図3参照）のように、ループバック用ケーブル300のような特別な設備を必要とせず、該ケーブルの脱着も不要であることから、高速信号によるループバックテストを容易に且つより短いテスト時間で、しかも、より少ない人的な手間で行うことができる。

【0033】また、ループバックテスト以外のテストを行う場合には、図1に示すように、それぞれ終端抵抗101、102が接続された端子T1、T2の位置に、テストのプロープやドライバを接続して、テストを行うこととなるが、端子T1、T2にはテストのプロープ等の特性インピーダンス（R0）に整合した終端抵抗R0が接続されているので、テスト回路の接続構成上でインピーダンス不整合を生じることがなく、高速信号の伝搬に対する不要輻射等による影響も抑制され、高速信号によるテストをより確実に行うことができる。

【0034】また、本実施形態の半導体装置100では、ドライバDRV1、DRV2及びレシーバRCV1、RCV2の回路の動作状態を、制御信号TXE1、RXE1、TXE2、RXE2によりそれぞれ独立して活性／非活性に制御可能であるので、ループバックテス

ト時の信号経路を、該テストに不要な構成要素による影響から独立したものとすることができ、より通常動作時に近い状態で確実なテストを行うことができる。

【0035】また、本実施形態の半導体装置100では、ドライバDRV1、DRV2の駆動能力を設定可能としている。これは、ループバックテスト時の信号経路におけるアナログスイッチ110のオン抵抗が無視できないため、アナログスイッチ110のオン抵抗による信号振幅の低下を補償するためのものであり、これにより、より通常動作時に近い状態で確実なループバックテストを行うことができる。

【0036】つまり、第1のレシーバRCV1のループバックテスト時には第2のドライバDRV2について、また第2のレシーバRCV2のループバックテスト時に

$$I1 = (2R0 + RSW) \times I0 / 2R0$$

【0039】従って、従来(図3参照)のループバックテスト時における第1のドライバDRV1の出力電流 $I0 \times R1 / 2$ よりも大きな振幅となる。

【0040】〔実施形態2〕次に、図2は本発明の実施形態2に係る半導体装置の構成図である。本実施形態の半導体装置200は、出力回路をドライバとし、入力回路をレシーバとしたシングルポートのトランシーバの構成である。

【0041】図2において、本実施形態の半導体装置200は、ポートPRTに接続されるドライバDRV及びレシーバRCVの組を備え、ドライバDRV及びレシーバRCVの回路の動作状態は、それぞれ独立の制御信号により活性／非活性に制御可能である。即ち、ドライバDRVは制御信号TXEをイネーブルとすることにより、データTXDをポートPRTにドライブし、レシーバRCVは制御信号RXEをイネーブルとすることにより、ポートPRTに供給される信号をデータRXDとして取り込む。

【0042】このような構成の本実施形態の半導体装置

$$I2 = I0 / 2$$

とすることとして、レシーバRCVの入力信号振幅を通常動作時と同じ振幅となるようにしている。

【0045】このように本実施形態の半導体装置200によれば、高速信号生成用のテストを用いることなくループバックテストが可能となり、高速信号によるループバックテストを容易に且つより短いテスト時間で行うことができ、また、ポートPRTでのループバックによる信号振幅の増大を補償することができ、より通常動作時に近い状態で確実なテストを行うことができる。

【0046】

【発明の効果】以上説明したように、本発明の半導体装置によれば、一の組の出力回路の出力信号を他の組の入力回路に対するテスト用信号源とした信号経路によりループバックテストを行うことができ、また、特別な設備も不要であることから、高速信号によるループバックテ

は第1のドライバDRV1について、アナログスイッチ110を制御信号CNTにより接続状態とした場合の出力信号振幅を、アナログスイッチ110を非接続状態とした場合の出力信号振幅と同じとなるように設定可能としている。

【0037】具体的には、図1において、第2のレシーバRCV2のループバックテストを行う場合に、第1のドライバDRV1の通常動作時の出力電流を $I0$ とし、終端抵抗 101 、 102 の抵抗値を $R0$ 、アナログスイッチ110のオン抵抗を RSW とした時、第1のドライバDRV1のループバックテスト時の出力電流 $I1$ が、次式の値となるように出力信号振幅を設定している。

【0038】

【数1】

(1)

では、レシーバRCVのテストを、ドライバDRVの出力信号を用いたループバックテストにより行うことができる。つまり、レシーバRCVのテスト時には、ドライバDRVの制御信号TXEをイネーブル、レシーバRCVの制御信号RXEをイネーブルとして、ドライバDRV及びレシーバRCVを同時に能動的状態とし、ドライバDRVの出力信号をレシーバRCVに対するテスト用信号源とした信号経路によりループバックテストを行うものである。

【0043】尚、このループバックテストを行う場合には、テスト時のレシーバRCVの入力信号振幅が、ポートPRTからのみ信号が供給される時の入力信号振幅と同じとなるよう、ドライバDRVの出力信号振幅を設定可能としている。つまり、該テスト時には、レシーバRCVの入力信号振幅が通常動作時の2倍となるので、ドライバDRVの出力電流 $I2$ を、通常動作時の半分、即ち、

【0044】

【数2】

(2)

ストを容易に且つより短いテスト時間で、しかも、より少ない人的な手間で行うことができる。また、ループバックテスト以外のテストを行う場合に、テスト回路の接続構成上でインピーダンス不整合を生じることがなく、高速信号の伝搬に対する不要輻射等による影響も抑制され、高速信号によるテストをより確実に行い得る半導体装置を提供することができる。

【0047】また、本発明の半導体装置によれば、出力回路及び入力回路の回路の動作状態を、それぞれ独立して活性／非活性に制御可能としたので、ループバックテスト時の信号経路を、テストに不要な構成要素による影響から独立したものとすることができ、より通常動作時に近い状態で確実なテストを行うことができる。

【0048】また、本発明の半導体装置によれば、出力回路の駆動能力を設定可能とし、例えば、出力回路につ

いて、該組のポートと入力回路を備える他の組のポート間のスイッチ手段を制御信号により接続状態とした場合の出力信号振幅を、スイッチ手段を非接続状態とした場合の出力信号振幅と同じに設定可能としたので、ループバックテスト時の信号経路におけるスイッチ手段のオン抵抗による信号振幅の低下を補償することができ、より通常動作時に近い状態で確実なテストを行い得る半導体装置を提供することができる。

【図面の簡単な説明】

【図1】本発明の実施形態1に係る半導体装置の構成図である。

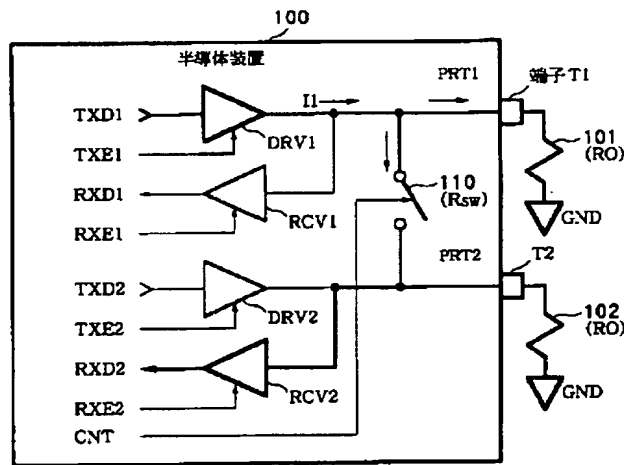
【図2】本発明の実施形態2に係る半導体装置の構成図である。

【図3】従来の半導体装置におけるループバックテスト時の回路構成図である。

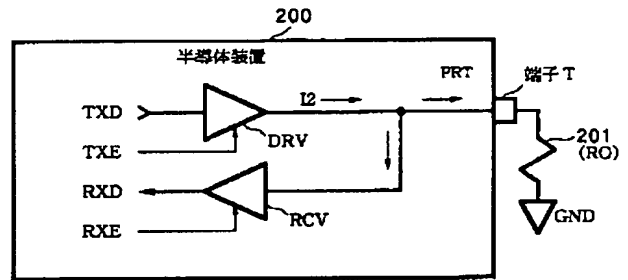
【符号の説明】

100, 200, 300…半導体装置、101, 102, 201, 301, 302…終端抵抗、DRV1, DRV10…第1のドライバ（出力回路）、RCV1, RCV10…第1のレシーバ（入力回路）、DRV2, DRV20…第2のドライバ（出力回路）、RCV2, RCV20…第2のレシーバ（入力回路）、TXE1, TXE2, RXE2, TXE, RXE, TXE10, RXE10, TXE20, RXE20…制御信号、TXD1, RXD1, TXD2, RXD2, TXD, RXD, TXD10, RXD10, TXD20, RXD20…データ、PRT1…第1のポート、PRT2…第2のポート、T1, T2, T…端子、110…アナログスイッチ（スイッチ手段）、CNT…スイッチの制御信号、DRV…ドライバ（出力回路）、RCV…レシーバ（入力回路）、PRT…ポート、310…ループバック用ケーブル。

【図1】



【図2】



【図3】

